

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-265934

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

G02F 1/136
G02F 1/1335
H01L 29/784

(21)Application number : 05-050407

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.03.1993

(72)Inventor : SUZUKI MASAHIKO
ITO HIKARI
KAMEI TATSUO
IWAMOTO KENICHI
FURUYA MASAMITSU

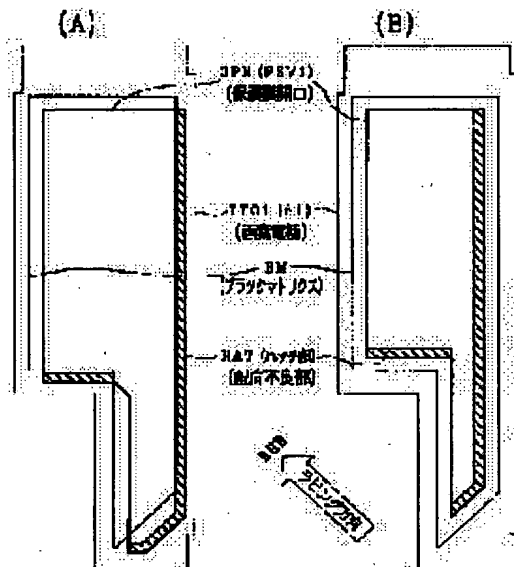
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To enable driving with a lower voltage without decreasing a contrast by arranging level differences of the recesses of a protective film to be a shadow of a rubbing direction on the side outer than the boundary lines of openings for light shielding, etc.

CONSTITUTION: The liquid crystal display device is often provided with, for example, a black matrix layer which shields the edge of pixel electrodes IT01 for increasing the contrast but if the openings of the protective film OPN exist in the inner side of the black matrix layer BM, the level differences from the right side to the lower side of the recessed parts OPN of the protective film PSVI are the shadows for rubbing and an orientation defective part HAT shown by hatches arises within an effective display region. This defective part is the cause for the decrease of the contrast. The level difference parts from the right side to the lower side of the recessed parts OPN of the protective film PSV1 are shifted to the outer side

than the boundaryline of the black matrix layer BM. The orientation defective part HAT is, therefore, shielded by the black matrix layer BM and, therefore, the efficiency of utilizing the voltage is improved without the degradation in display quality. such as decrease of the contrast.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display characterized by providing the following. Two or more pixel electrodes. A shading means to have shading opening which shaded each marginal part of the above-mentioned pixel electrode, and was prepared inside this marginal part. The protective coat which has protective coat opening which covered two or more above-mentioned pixel electrodes, and was prepared corresponding to each above-mentioned pixel electrode. It is the portion to which the orientation film prepared between the liquid crystal layer, and the above-mentioned protective coat and the above-mentioned liquid crystal layer is provided, it changes, and the boundary line of the above-mentioned protective coat opening is located outside the boundary line of the above-mentioned shading opening.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a liquid crystal display, and relates to the liquid crystal display of the active matrix which used TFT etc. especially.

[0002]

[Description of the Prior Art] The liquid crystal display of an active matrix prepares a nonlinear element (switching element) corresponding to each of two or more pixel electrodes arranged in the shape of a matrix. Since liquid crystal in each pixel is always driven theoretically (duty ratio 1.0), compared with the so-called passive matrix which has adopted the time-sharing drive method, an active method has good contrast and is becoming especially indispensable technology with electrochromatic display display. There is TFT (TFT) as a thing typical as a switching element.

[0003] in addition, the liquid crystal display of the active matrix which used TFT -- for example, JP,63-309921,A, "the 12.5 type active-matrix method electrochromatic display display which adopted the redundant configuration" and the Nikkei electronics, and page 193- it Nikkei-tuna-UHIRU-publishes, and is come out and known on December 15, 1986 [210 or]

[0004] Usually, although the film which protects a transistor is prepared in the liquid crystal display of an active matrix, it is known that it will be better for this protective coat not to exist on a pixel electrode, and it will prepare opening in the shape of a dot for every pixel electrode from the field of voltage use efficiency.

[0005]

[Problem(s) to be Solved by the

Invention] On the other hand, when there was opening OPN of a protective coat inside the black matrix layer BM as shown in (B) of drawing 1 although the edge of a pixel electrode was shaded, for example, the black matrix layer was prepared in many cases in order to raise contrast, this invention person etc. found out that the following problems arose.

That is, as shown in drawing, when the direction of rubbing of an orientation film was the upper left from the lower right, the level difference section applied the lower side became the shadow of rubbing from the right-hand side of the hollow section OPN of a protective coat PSV1, the orientation poor section HAT shown on a hatch arose within the effective viewing area, and the cause and bird clapper of a contrast fall became clear.

[0006] One purpose of this invention is offering the good liquid crystal display of contrast.

[0007] Other purposes of this invention are offering the liquid crystal display which can carry out a low-battery drive.

[0008] Other purposes of this invention are offering a liquid crystal display with a high numerical aperture.

[0009]

[Means for Solving the Problem] As shown in (A) of drawing 1, the level difference section applied the lower side from the right-hand side of the hollow section OPN of a protective coat PSV1 is shifted outside the boundary line of the

black matrix layer BM.

[0010]

[Function] Since the orientation poor section HAT is shaded in the black matrix layer BM, display quality, such as a contrast fall, cannot be lowered, but voltage use efficiency can be improved.

[0011]

[Example] The purpose of further others of this invention and this invention and the feature of further others of this invention will become clear from explanation of the following which referred to the drawing.

[0012] <<active-matrix liquid crystal display>> The example which applied this invention to the electrochromatic display display of an active matrix is explained hereafter. In addition, with the drawing explained below, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0013] Outline>> of <<matrix section The plan in which drawing 2 shows 1 pixel and its circumference of the active-matrix method electrochromatic display display with which this invention is applied, and drawing 3 are drawing showing the cross section in three to 3 cutting plane line of drawing 2, and a cross section [in / four to 4 cutting plane line of drawing 2 / in drawing 4].

[0014] As shown in drawing 2, each pixel is arranged in the intersection field of two adjoining scanning signal lines (a gate signal line or level signal line) GL and

two adjoining video-signal lines (a drain signal line or perpendicular signal line) DL (inside of the field surrounded by four signal lines). Each pixel contains TFT, the transparent pixel electrode ITO1, and the retention volume element Cadd. The scanning signal line GL extends in a longitudinal direction drawing, and is arranged two or more in the vertical direction. The video-signal line DL extends in the vertical direction, and is arranged two or more at the longitudinal direction.

[0015] As shown in drawing 3, TFT and the transparent pixel electrode ITO1 are formed in the lower transparent glass-substrate SUB1 side on the basis of the liquid crystal layer LC, and the light filter FIL and the black matrix pattern BM for shading are formed in the up transparent glass-substrate SUB2 side. The silicon-oxide film SIO formed of DIP processing etc. is formed in both sides of the transparent glass substrates SUB1 and SUB2.

[0016] The shading film BM, a light filter FIL, a protective coat PSV2, the common transparent pixel electrode ITO2 (COM), and the up orientation film ORI2 carry out a laminating to the front face inside up transparent glass-substrate SUB2 (liquid crystal LC side) one by one, and are prepared in it.

[0017] Outline>> of <<matrix circumference Drawing 7 is drawing showing the expansion flat surface near

[corresponding to drawing 5 and the panel upper-left-hand-corner section of drawing 6 for the flat surface at which drawing 6 exaggerated the periphery for the important section flat surface of the matrix (AR) circumference of the display panel PNL in which drawing 5 contains the up-and-down glass substrates SUB1 and SUB2 further] seal section SL.

Moreover, drawing 8 is drawing showing the cross section near [where the cross section of drawing 3 is carried out in the center, and the cross section in the 8a-8a cutting plane line of drawing 7 should be connected to left-hand side in a video-signal drive circuit on right-hand side] external end-connection child DTM. Drawing 9 is drawing showing the cross section near [which does not have an external end-connection child in right-hand side in the cross section near / where a scanning circuit should be connected to left-hand side / external end-connection child GTM] the seal section similarly.

[0018] It divides, after processing two or more devices of a part simultaneously with one glass substrate in manufacture of this panel for the improvement in a throughput, if it is small size, if it is large size, after processing the glass substrate of a size with which every form was standardized for the common use of a manufacturing facility, it is made small in the size suitable for each form, and since it passes a general process in any

case, glass is cut. Drawing 5 - drawing 7 show the latter example, drawing 7 expresses cutting before for the vertical substrates SUB1 and SUB2 cutting-back, and, as for CT1 and CT2, drawing 5 and both drawings of drawing 6 show the position where, as for LN, substrates SUB1 and SUB2 should cut the edge before cutting of both substrates, respectively. The size of the top substrate SUB 2 is restricted inside the bottom substrate SUB 1 so that, as for the portion (they are the vertical side and left part in drawing) in which the external connection terminal blocks Tg and Td (subscript abbreviation) exist in the state of completion, they may be exposed in any case. Two or more terminal blocks Tg and Td are summarized in the unit of the tape carrier package TCP (drawing 18 , drawing 19) by which the terminal GTM for scanning-circuit connection mentioned later, respectively, the terminals DTM for picture-signal-circuitry connection, and those drawer wiring sections were carried in the integrated circuit chip CHI, and are named in it. Drawer wiring until it results in the matrix section shell external connection terminal area of each group inclines as it approaches ends. This is for setting the terminals DTM and GTM of a display panel PNL by the array pitch of Package TCP, and the end-connection child pitch in each package TCP.

[0019] Along the edge, except for the liquid crystal enclosure mouth INJ, among the transparent glass substrates SUB1 and SUB2, the seal pattern SL is formed so that liquid crystal LC may be closed. A sealant consists of an epoxy resin. The common transparent pixel electrode ITO2 by the side of up transparent glass-substrate SUB2 is connected to the drawer wiring INT formed in the lower transparent glass-substrate SUB1 side of the silver paste material AGP on four squares of a panel by this example in at least one place. This drawer wiring INT is formed by the same manufacturing process as gate-terminal GTM and the drain terminal DTM which are mentioned later.

[0020] The orientation films ORI1 and ORI2, the transparent pixel electrode ITO1, the common transparent pixel electrode ITO2, and each layer are formed inside the seal pattern SL. Polarizing plates POL1 and POL2 are formed in the front face of the outside of lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, respectively. Liquid crystal LC is enclosed with the field divided by the seal pattern SL between the lower orientation films ORI1 and the up orientation films ORI2 which set up the sense of a liquid crystal molecule. The lower orientation film ORI1 is formed in the upper part of the protective coat PSV1 by the side of lower transparent glass-substrate SUB1.

[0021] This liquid crystal display accumulates various layers separately by the lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 side, forms the seal pattern SL in a substrate SUB 2 side, piles up lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, pours in liquid crystal LC from the opening INJ of sealant SL, closes Inlet INJ by the epoxy resin etc., and is assembled by cutting a vertical substrate.

[0022] <<TFT TFT>> Next, it returns to drawing 2 and drawing 3, and the composition by the side of the TFT substrate SUB 1 is explained in detail.

[0023] If TFT TFT impresses positive bias to the gate electrode GT, the channel resistance between source-drains will become small, and if bias is made into zero, channel resistance will operate so that it may become large.

[0024] TFT TFT1 and TFT2 of plurality (two) carries out redundancy, and is prepared in each pixel. Each of TFT TFT1 and TFT2 consists of same sizes (channel length and channel width are the same) substantially, and has the i-type-semiconductor layer AS which consists of the gate electrode GT, a gate insulator layer GI, and i type (genuineness, intrinsic, and conductivity-type determination impurity are not doped) amorphous silicon (Si), the source electrode SD 1 of a couple, and the drain electrode SD 2. In addition, since

the source and a drain are originally decided by bias polarity in the meantime and working reversal of the polarity is carried out in the circuit of this liquid crystal display, please understand that the source and a drain interchange working. However, in the following explanation, for convenience, the method of one is fixed with the source, another side is fixed with a drain, and it expresses.

[0025] <<gate electrode GT>> The gate electrode GT consists of configurations which project perpendicularly from the scanning signal line GL (it has branched in the T character configuration). The gate electrode GT is projected so that each active region of TFT TFT1 and TFT2 may be exceeded. Each gate electrode GT of TFT TFT1 and TFT2 is constituted by one (as a common gate electrode), and is formed in it succeeding the scanning signal line GL. In this example, the gate electrode GT is formed by the 2nd electric conduction film g2 of a monolayer. As the 2nd electric conduction film g2, for example, the aluminum (aluminum) film formed by the spatter is used, and the oxide film on anode AOF of aluminum is formed on it.

[0026] This gate electrode GT is formed in size **** from it so that the i-type-semiconductor layer AS may be covered completely (in view of a lower part), and it is devised so that neither outdoor daylight nor back light light may be equivalent to the i-type-semiconductor

layer AS.

[0027] <<scanning signal-line GL>> The scanning signal line GL consists of 2nd electric conduction films g2. The 2nd electric conduction film g2 of this scanning signal line GL is formed by the same manufacturing process as the 2nd electric conduction film g2 of the gate electrode GT, and is constituted by one. Moreover, the oxide film on anode AOF of aluminum is formed also on the scanning signal line GL.

[0028] <<insulator layer GI>> An insulator layer GI is used in TFT TFT1 and TFT2 as a gate insulator layer for giving electric field to the semiconductor layer AS with the gate electrode GT. The insulator layer GI is formed in the upper layer of the gate electrode GT and the scanning signal line GL. The silicon nitride film formed by plasma CVD as an insulator layer GI is chosen, and it is formed at the thickness which is 1200-2700Å (this example about 2000Å). The gate insulator layer GI is formed so that the whole matrix section AR may be surrounded, as shown in drawing 7, and the periphery is removed so that the external end-connection children DTM and GTM may be exposed. The insulator layer GI has contributed also to the electric insulation of the scanning signal line GL and the video-signal line DL.

[0029] <<i-type-semiconductor layer AS>> By this example, the i-type-semiconductor layer AS is formed

so that it may become the island which became independent to each of TFT TFT1 and TFT2, is amorphous silicon and is formed in the thickness of 200-2200Å by (this example at about 2000Å thickness). A layer d0 is N(+) type amorphous silicon semiconductor layer which doped Lynn (P) for ohmic contacts, and is left behind only at the place where the i-type-semiconductor layer AS exists in the bottom at, and a conductive layer d2 (d3) exists in the bottom.

[0030] The i-type-semiconductor layer AS is formed also among both of the intersection (crossover section) of the scanning signal line GL and the video-signal line DL. The i-type-semiconductor layer AS of this intersection reduces the short circuit of the scanning signal line GL and the video-signal line DL in an intersection.

[0031] <<transparence pixel electrode ITO1>> The transparent pixel electrode ITO1 constitutes one side of the pixel electrode of the liquid crystal display section.

[0032] The transparent pixel electrode ITO1 is connected to both the source electrode SD 1 of TFT TFT1, and the source electrode SD 1 of TFT TFT2. For this reason, what is necessary is just to leave it, since a suitable part is cut, and the TFT of another side is operating normally by the laser beam etc. when that is not right, when the defect brings about a side effect, even if a defect occurs

in one of TFT TFT1 and TFT2. The transparent pixel electrode ITO1 is constituted by the 1st electric conduction film d1, and this 1st electric conduction film d1 consists of a transparent electric conduction film (Indium-Tin-Oxide ITO : Nesa membrane) formed by sputtering, and is formed at the thickness of 1000-2000Å (this example about 1400Å thickness).

[0033] <<source electrode SD1 and drain electrode SD2>> Each of the source electrode SD 1 and the drain electrode SD 2 consists of a 2nd electric conduction film d2 in contact with N(+) type semiconductor layer d0, and a 3rd electric conduction film d3 formed on it.

[0034] By (this example, about 600Å of the 2nd electric conduction films d2 is formed in the thickness of 500-1000Å by) using the chromium (Cr) film formed by the spatter. Since stress will become large if thickness is formed thickly, Cr film is formed in the range which does not exceed about 2000Å thickness. Cr film makes good an adhesive property with N(+) type semiconductor layer d0, and it is used in order to prevent that aluminum of the 3rd electric conduction film d3 is spread in N(+) type semiconductor layer d0 (the so-called barrier layer). As the 2nd electric conduction film d2, you may use the refractory-metal (Mo, Ti, Ta, W) film and refractory-metal silicide (MoSi₂, TiSi₂, TaSi₂, WSi₂) film other than Cr film.

[0035] The 3rd electric conduction film d3 is formed by sputtering of aluminum at the thickness of 3000-5000Å (this example about 4000Å). aluminum film has a small stress compared with Cr film, forming in thick thickness is possible, the resistance of the source electrode SD 1, the drain electrode SD 2, and the video-signal line DL is reduced, or there is work which ensures level difference riding **** resulting from the gate electrode GT and the i-type-semiconductor layer AS (step coverage is improved).

[0036] the same mask after carrying out patterning of the 2nd electric conduction film d2 and the 3rd electric conduction film d3 by the same mask pattern -- using -- the [or] -- N(+) type semiconductor layer d0 is removed by using 2 electric conduction films d2 and the 3rd electric conduction film d3 as a mask That is, as for N(+) type semiconductor layer d0 which remained on the i-type-semiconductor layer AS, portions other than 2nd electric conduction film d2 and 3rd electric conduction film d3 are removed by the self aryne. As for N(+) type semiconductor layer d0, since it *****s so that parts for all the thickness may be removed at this time, although the surface portion *****s a little, the extent should just control the i-type-semiconductor layer AS in etching time.

[0037] <<video-signal line DL>> The

video-signal line DL consists of a 2nd electric conduction film d2 of the source electrode SD 1, the drain electrode SD 2, and this layer, and a 3rd electric conduction film d3.

[0038] <<protective coat PSV1>> The protective coat PSV1 is formed on TFT TFT and the transparent pixel electrode ITO1. It is formed in order that a protective coat PSV1 may mainly protect TFT TFT from moisture etc., and high moreover, transparency uses a damp-proof good thing. The protective coat PSV1 is formed by the silicon oxide film and silicon nitride film which were formed for example, with plasma CVD equipment, and is formed by about 1-micrometer thickness.

[0039] A protective coat PSV1 covers the whole matrix, as shown in drawing 2, however it is formed so that it may have Opening OPN for every pixel. Although the physical relationship of a protective coat PSV1 and the black matrix layer BM is the same as that of (A) of drawing 1, since the swelling section of the scanning line GL for forming the addition capacity Cadd is committing shading, the point which has lowered the boundary line of the surface of the part (based on the swelling section) opening OPN differs from the example of drawing 1.

[0040] Drawing 21 is the plan showing other examples of this invention which changed the physical relationship of the shading film BM and a protective coat

PSV1, and a different point from the example of drawing 2 is a point that all the boundary lines of the opening OPN of a protective coat PSV1 are arranged on the outside of the opening boundary line of the shading film BM. In the example of drawing 2, since the size of the opening OPN of a protective coat PSV1 is made into necessary minimum, it is advantageous in respect of a numerical aperture from the point of a doubling margin with other layers, and there is a merit that the doubling margin of the lower substrate SUB 1 and the upper substrate SUB 2 is loose, in the example of drawing 21.

[0041] The portion in which it is formed so that the whole matrix section AR may be surrounded, and a periphery is removed so that the external end-connection children DTM and GTM may be exposed, and a protective coat PSV1 connects the common electrode COM by the side of [SUB / 2] an upper substrate to the drawer wiring INT for external end-connection child connection of the bottom substrate SUB 1 with the silver paste AGP as shown in drawing 7 is also removed. About the thickness relation between a protective coat PSV1 and the gate insulator layer GI, the former considers a protective effect, and is thickened, and the latter is made thin in the mutual conductance gm of a transistor. Therefore, as shown in drawing 7, the high protective coat PSV1

of a protective effect is formed more greatly than the gate insulator layer GI so that a periphery may also be protected [the largest possible range].

[0042] <<shading film BM>> The shading film BM is formed in the up transparent glass-substrate SUB2 side so that an extraneous light or back light light may not carry out incidence to the i-type-semiconductor layer AS. As for the border line of the polygon which the shading film BM shown in drawing 2 closed, the inside shows opening in which the shading film BM is not formed. The shading film BM is formed by for example, the aluminum film with the high cover nature to light, the chromium film, etc., and a chromium film is formed in the thickness of about 1300Å by sputtering in this example.

[0043] The i-type-semiconductor layer AS of TFT TFT1 and TFT2 is made sandwiches by the shading film BM which exists up and down, and the gate electrode GT of size ****, and the external natural light and external back light light stop therefore, hitting. The shading film BM is formed in the circumference of each pixel in the shape of a grid (the so-called black matrix), and the 1-pixel effective viewing area is divided with this grid. Therefore, the profile of each pixel carries out clearly with the shading film BM, and contrast improves. That is, the shading film BM has two functions of shading to the

i-type-semiconductor layer AS, and a black matrix.

[0044] Since the edge portion by the side of the origin of the direction of rubbing of the transparent pixel electrode ITO1 (drawing 2 lower right portion) is also shaded with the shading film BM, though a domain occurs into the above-mentioned portion, since a domain cannot be seen, a display property does not deteriorate.

[0045] The shading film BM is formed also in a periphery in the shape of a frame, as shown in drawing 6 , and the pattern is continuously formed with the pattern of the matrix section shown in drawing 2 which prepared two or more openings in the shape of a dot. It has prevented leakage light, such as the reflected light which is extended on the outside of the seal section SL and originates in mounting machines, such as a personal computer, as the shading film BM of a periphery is shown in drawing 6 . drawing 9 , entering into the matrix section. On the other hand, rather than the edge of a substrate SUB 2, this shading film BM is stopped inside about 0.3-1.0mm, avoids the cutting field of a substrate SUB 2, and is formed.

[0046] <<light-filter FIL>> A light filter FIL is formed in the position which counters a pixel in the shape of a stripe by the repeat of red, green, and blue. A light filter FIL is formed in size **** so that all the transparent pixel electrodes

ITO1 may be covered, and the shading film BM is formed inside the periphery section of the transparent pixel electrode ITO1 so that it may lap with the edge portions of a light filter FIL and the transparent pixel electrode ITO1.

[0047] A light filter FIL can be formed as follows. First, bathochromic group material, such as an acrylic resin, is formed in the front face of up transparent glass-substrate SUB2, and photolithography technology removes bathochromic group material other than a red filter formation field. Then, bathochromic group material is dyed with a red color, fixing processing is performed, and the red filter R is formed. The green filter G and the blue filter B are formed one by one by giving the same process to the next.

[0048] <<protective coat PSV2>> The protective coat PSV2 is formed in order to prevent that the color of a light filter FIL leaks to liquid crystal LC. The protective coat PSV2 is formed with transparent resin material, such as acrylic resin and an epoxy resin.

[0049] << -- common transparent pixel electrode ITO2>> -- the common transparent pixel electrode ITO2 counters the transparent pixel electrode ITO1 prepared in the lower transparent glass-substrate SUB1 side for every pixel, and the optical state of liquid crystal LC answers the potential difference between each pixel electrode ITO1 and the

common transparent pixel electrode ITO2 (electric field), and changes It is constituted so that the common voltage Vcom may be impressed to this common transparent pixel electrode ITO2. What is necessary is just to impress alternating voltage to reduce the supply voltage of the integrated circuit used in a video-signal drive circuit in an abbreviation half, although the common voltage Vcom is set as the middle direct-current potential of the driver voltage Vdmin of the minimum level and the driver voltage Vdmax of the maximum level which are impressed to the video-signal line DL in this example. In addition, refer to drawing 6 and drawing 7 for the flat-surface configuration of the common transparent pixel electrode ITO2.

[0050] Structure>> of <<retention volume element Cadd In the edge connected with TFT TFT, and the edge of an opposite side, the transparent pixel electrode ITO1 is formed so that it may lap with the next scanning signal line GL. This superposition constitutes the retention volume element (electrostatic capacitive element) Cadd which uses the transparent pixel electrode ITO1 as one electrode PL 2, and uses the next scanning signal line GL as the electrode PL 1 of another side so that clearly also from drawing 4 . The dielectric film of this retention volume element Cadd consists of an insulator layer GI used as a

gate insulator layer of TFT TFT, and an oxide film on anode AOF.

[0051] The retention volume element Cadd is formed in the portion which expanded the width of face of the 2nd electric conduction film g2 of the scanning signal line GL. In addition, the 2nd electric conduction film g2 of the portion which intersects the video-signal line DL is made thin in order to make small probability of a short circuit with the video-signal line DL.

[0052] The defect is compensated by the island field which was formed so that the level difference might be straddled and which reached 2nd electric conduction film d2 and consisted of 3rd electric conduction films d3 even if the transparent pixel electrode ITO1 is disconnected in the level difference section of the electrode PL 1 of the retention volume element Cadd.

[0053] <<gate-terminal section>>

Drawing 10 is drawing showing the connection structure from the scanning signal line GL of a display matrix to the external end-connection child GTM, (A) is a flat surface and (B) shows the cross section in the B-B cutting plane line of (A). In addition, this drawing corresponded near the drawing 7 lower part, and the portion of slanting wiring was expressed with the shape of a facilities-like straight line.

[0054] the mask pattern for photographic processing in AO -- in other words, it is

the photoresist pattern of alternative anodic oxidation. Therefore, this photoresist is removed after anodic oxidation, and although the pattern AO shown in drawing does not remain as a finished product, since an oxide film AOF is alternatively formed in the gate wiring GL as shown in a cross section, the locus remains. In a plan, they are the field which covers left-hand side by the resist on the basis of the boundary line AO of a photoresist, and does not carry out anodic oxidation, and the field by which right-hand side is exposed from a resist and anodic oxidation is carried out. In the AL layer g2 by which anodic oxidation was carried out, the 2Ooxide aluminum3 film AOF is formed in a front face, and, as for a downward current carrying part, volume decreases. Of course, anodic oxidation sets up suitable time, voltage, etc. and is performed so that the current carrying part may remain. A mask pattern AO does not intersect the scanning line GL in a single straight line, but bends in the shape of a crank, and is made to cross.

[0055] Although the hatch is given in order to make intelligible the AL layer g2 in drawing, patterning of the field by which anodization is not carried out is carried out to the shape of a comb. Since whiskers will occur on a front face if this has the wide width of face of aluminum layer, 1 one width of face is an aim which presses down the sacrifice of the

probability of an open circuit, or conductivity to minimum, preventing generating of whiskers by narrowing and considering as the composition which bundled them to two or more parallel. Therefore, in this example, the portion equivalent to the origin of a comb is also shifted along with Mask AO.

[0056] With the high Cr layer g1 of *****-proof with a sufficient oxidization silicon SIO layer and a sufficient adhesive property, a gate terminal GTM protects the front face further from aluminum etc., and is constituted by the pixel electrode ITO1 and the transparent conductive layer d1 of this level (this layer, simultaneous formation). In addition, the conductive layers d2 and d3 formed in the gate insulator layer GI top and its lateral portion remain owing to the pinhole etc. as a result to which a conductive layer g2 and g1 had covered the field by the photoresist so that it might not ***** together at the time of a conductive layer d3 or etching of d2. Moreover, the ITO layer d1 which overcame the gate insulator layer GI and was extended rightward takes the same measures still more thoroughgoing.

[0057] The protective coat PSV1 is also formed on the right of the boundary line on the right of the boundary line, the gate insulator layer GI exposes from them the terminal area GTM located in a left end, and the electric contact to an external circuit has come to be able to do it in a

plan. Drawing, although only one pair of the gate line GL and a gate terminal is shown, as such [in practice] a pair shows drawing 7 , two or more are put in order up and down, a terminal block Tg (drawing 6 , drawing 7) is constituted, and in manufacture process, the left end of a gate terminal is extended across the cutting field CT 1 of a substrate, and is short-circuited with Wiring SHg. Such a short circuit line SHg in manufacture process is useful to the electrostatic-discharge prevention at the time of the electric supply at the time of anodization, and rubbing of the orientation film ORI1 etc.

[0058] <<drain terminal DTM>>

Drawing 11 is drawing showing connection from the video-signal line DL to the external end-connection child DTM, (A) shows the flat surface and (B) shows the cross section in the B-B cutting plane line of (A). In addition, this drawing corresponds near the drawing 7 upper right, and although the sense of a drawing is changed for convenience, the direction of a right end corresponds to the upper-limit section (or soffit section) of a substrate SUB 1.

[0059] Although TSTd is an inspection terminal and an external circuit is not connected here, width of face has extended from the wiring section so that a probe needle etc. can be contacted. Similarly, width of face has extended from the wiring section so that the drain

terminal DTM can perform connection with an external circuit. Although termination is carried out without arriving at the edge of a substrate SUB 1 as the inspection terminal TSTd and the external connection drain terminal DTM are alternately arranged alternately with plurality in the vertical direction and the inspection terminal TSTd is shown in drawing As shown in drawing 7, the drain terminal DTM constitutes a terminal block Td (subscript abbreviation), and is further extended exceeding the cutting plane line CT 1 of a substrate SUB 1, and as for the inside of manufacture process, the all connect too hastily with Wiring SHd mutually for electrostatic discharge prevention. A drain end-connection child is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the inspection terminal TSTd exists, and an inspection terminal is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the drain end-connection child DTM exists conversely.

[0060] The drain end-connection child DTM is formed by the same reason as the gate terminal GTM mentioned above by two-layer [of the Cr layer g1 and the ITO layer d1], and is connected with the video-signal line DL in the portion which removed the gate insulator layer GI. The semiconductor layer AS formed on the edge of the gate insulator layer GI is for

*****ing the edge of the gate insulator layer GI in the shape of a taper. On Terminal DTM, in order to make connection with an external circuit, it is removed not to mention the protective coat PSV1. Although AO is the anodic oxidation mask mentioned above, the boundary line is formed so that matrix ***** may be surrounded greatly, and left-hand side is covered with a mask from the boundary line drawing, since a layer g2 does not exist in the portion which is not covered in this drawing, this pattern is not directly related.

[0061] Although the drawer wiring from the matrix section to the drain terminal area DTM has structure by which the laminating was carried out [to] as are shown also in the (C) section of drawing 8, and the layers d2 and d3 of the level same immediately on the layers d1 and g1 of the same level as the drain terminal area DTM as the video-signal line DL are the seal patterns SL This is an aim which protects the aluminum layer d3 which presses down the probability of an open circuit to the minimum, and is easy to **** it as much as possible by the protective coat PSV1 or the seal pattern SL.

[0062] <<display whole equal circuit>> The schematics of the equal circuit and circumference circuit of the display matrix section are shown in drawing 12. Although this drawing is a circuit diagram, it is drawn corresponding to

actual geometry. AR is the matrix array which arranged two or more pixels in the shape of-dimensional [2].

[0063] Among drawing, X means the video-signal line DL and Subscripts G, B, and R are added corresponding to green, blue, and the red pixel, respectively. Y means the scanning signal line GL and subscripts 1, 2, and 3, --, end are added according to the sequence of scanning timing.

[0064] The video-signal line X (subscript abbreviation) is connected to the top (or odd number) video-signal drive circuit helium and the bottom (or even number) video-signal drive circuit Ho by turns.

[0065] The scanning signal line Y (subscript abbreviation) is connected to the vertical-scanning circuit V.

[0066] SUP is a circuit including the circuit which exchanges for the information for TFT liquid crystal displays the information for CRT (cathode-ray tube) from the power circuit and host (host processor) for obtaining the stable voltage source which plurality pressured partially from one voltage source.

[0067] Work>> of <<retention volume element Cadd When TFT TFT switches, the retention volume element Cadd works so that the influence of gate potential change ΔV_g to the middle point potential (pixel electrode potential) V_{lc} may be reduced. It is as follows when this situation is expressed with a formula.

[0068]

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\}$$

ΔV_g -- here, as for the capacity and ΔV_{lc} which are formed between the transparent pixel electrode ITO1 (PIX) and the common transparent pixel electrode ITO2 (COM), the parasitic capacitance by which C_{gs} is formed between the gate electrode GT of TFT TFT and the source electrode SD 1, and C_{pix} express a changed part of the pixel electrode potential by ΔV_g Although this change part ΔV_{lc} causes a dc component which joins liquid crystal LC, the more it enlarges retention volume C_{add} , the more the value can be made small. Moreover, the retention volume element C_{add} also has the operation which lengthens a charging time value, and accumulates the image information after TFT TFT turns off for a long time. Reduction of the dc component impressed to liquid crystal LC can improve the life of liquid crystal LC, and can reduce the so-called seizure by which a front picture remains at the time of the change of a liquid crystal display screen.

[0069] As mentioned above, overlap area of the gate electrode GT with the part, the source electrode SD 1, and the drain electrode SD 2 which are enlarged increases so that the i-type-semiconductor layer AS may be covered completely, therefore a parasitic capacitance C_{gs} becomes large, and the opposite effect of becoming easy to be

influenced of the gate (scan) signal V_g produces the middle point potential V_{lc} . However, this demerit is also cancelable by forming the retention volume element Cadd.

[0070] The retention volume of the retention volume element Cadd is set as the value about eight to 32 times ($8 \leq C_{gs} < C_{add} < 32$, C_{gs}) from the write-in property of a pixel to four to 8 times ($4 \leq C_{pix} < C_{add} < 8$, and C_{pix}), and a parasitic capacitance C_{gs} to the liquid crystal capacity C_{pix} .

[0071] The scanning signal line GL (Y0) of the first rank used only as a retention volume electrode line is made into the same potential as the common transparent pixel electrode ITO2 (V_{com}). In the example of drawing 7, the scanning signal line of the first rank is connected with the common electrode COM too hastily through a terminal GT 0, a leader line INT, a terminal DT 0, and external wiring. Or you may connect the retention volume electrode line Y0 of the first rank so that it may connect with the scanning signal line Yend of the last stage at direct-current potential points other than connection and V_{com} (alternating current grounding point) or the scanning pulse Y0 may be received in one excess from the vertical-scanning circuit V.

[0072] <<manufacture method>> Below, the manufacture method by the side of the substrate SUB 1 of the liquid crystal display mentioned above is explained

with reference to drawing 13 - drawing 15. In addition, in this drawing, a central character is the abbreviated name of a process name, and the pixel portion which shows left-hand side to drawing 3, and right-hand side show the flow of processing seen in the cross-section configuration near [which is shown in drawing 10] a gate terminal. Except for Process D, Process A - Process I are what was classified corresponding to each photographic processing, and show the stage which processing after photographic processing finished any cross section of each process, and removed the photoresist. In addition, in this explanation, photographic processing shall show a series of work until it develops it through the selection exposure which used the mask from the application of a photoresist, and avoids explanation of recurrence. It explains according to the process classified below.

[0073] After forming the silicon-oxide film SIO in both sides of lower transparent glass-substrate SUB1 which consists of a process A and drawing 137059 glass (tradename) by DIP processing, 500 degrees C and BEKU for 60 minutes are performed. On lower transparent glass-substrate SUB1, thickness forms the 1st electric conduction film g1 which consists of chromium which is 1100Å by sputtering, and *****s the 1st electric conduction film g1 alternatively with the 2nd cerium ammonium solution

of a nitric acid as an etching reagent after photographic processing. The anodic oxidation pad (not shown) connected to the bus line SHd which short-circuits the anodic oxidation bus line SHg and the drain terminal DTM which connect gate-terminal GTM, the drain terminal DTM, and a gate terminal GTM by it, and the anodic oxidation bus line SHg is formed.

[0074] Process B and the drawing 13 thickness form the 2nd electric conduction film g2 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. which are 2800Å by sputtering. The 2nd electric conduction film g2 is alternatively *****ed after photographic processing with the mixed-acid liquid of a phosphoric acid, a nitric acid, and a glacial acetic acid.

[0075] A substrate SUB 1 is immersed into the anodic oxidation liquid which consists of liquid which diluted with ethylene glycol liquid to 1:9 the solution which adjusted the tartaric acid to PH 6.25**0.05 by ammonia 3% after Process C and drawing 13 photographic processing (after the anodic oxidation mask AO formation mentioned above), and it adjusts so that the Chemicals current density may become 0.5 mA/cm² (constant-current Chemicals). Next, anodic oxidation is performed until it amounts to formation voltage 125V [required to obtain 20aluminum3

predetermined thickness]. It is desirable to hold in this state after that for several 10 minutes (constant-voltage Chemicals). This is important, when obtaining 20aluminum3 uniform film. It carries out anodic oxidation of the electric conduction film g2, and the oxide film on anode AOF whose thickness is 1800Å is formed of it on the scanning signal line GL, the gate electrode GT, and an electrode PL 1.

[0076] After introducing ammonia gas, silane gas, and nitrogen gas into Process D and drawing 14 plasma CVD equipment, preparing the nitriding Si film whose thickness is 2000Å, introducing silane gas and hydrogen gas into plasma CVD equipment and preparing the i type amorphous Si film whose thickness is 2000Å, hydrogen gas and phosphine gas are introduced into plasma CVD equipment, and the N(+) type amorphous Si film whose thickness is 300Å is prepared.

[0077] The island of the i-type-semiconductor layer AS is formed after Process E and drawing 14 photographic processing by *****ing alternatively an N(+) type amorphous Si film and an i type amorphous Si film as dry etching gas using SF₆ and CCl₄.

[0078] SF₆ is used as dry etching gas after Process F and drawing 14 photographic processing, and a nitriding Si film is *****ed alternatively.

[0079] Process G and the drawing 15 thickness form the 1st electric conduction

film d1 which consists of an ITO film which is 1400Å by sputtering. The best layer and the transparent pixel electrode ITO1 of gate-terminal GTM and the drain terminal DTM are formed after photographic processing by *****ing the 1st electric conduction film d1 alternatively with the mixed-acid liquid of a hydrochloric acid and a nitric acid as an etching reagent.

[0080] The 2nd electric conduction film d2 which consists of Cr Process H and whose drawing 15 thickness are 600Å is formed by sputtering, and the 3rd electric conduction film d3 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. whose thickness is 4000Å further is formed by sputtering. The 3rd electric conduction film d3 is *****ed with the same liquid as Process B after photographic processing, the 2nd electric conduction film d2 is *****ed with the same liquid as Process A, and the video-signal line DL, the source electrode SD 1, and the drain electrode SD 2 are formed. N(+) type semiconductor layer d0 between the source and a drain is alternatively removed by introducing CCl₄ and SF₆ into a dry etching system, and next, *****ing an N(+) type amorphous Si film.

[0081] Ammonia gas, silane gas, and nitrogen gas are introduced into Process I and drawing 15 plasma CVD equipment, and the nitriding Si film whose thickness

is 1 micrometer is prepared. A protective coat PSV1 is formed after photographic processing by *****ing a nitriding Si film alternatively with the photo-etching technology which used SF₆ as dry etching gas.

[0082] <<liquid crystal display whole module composition>> Drawing 16 is the decomposition perspective diagram showing each component part of the liquid crystal display module MDL.

[0083] the shielding case (metal frame) of the shape of a frame to which SHD changes from a metal plate, and LCW -- each part material is accumulated due to the arrangement upper and lower sides as a back light and BLS are bottom cases and indicate a back light base material and LCA to be to drawing, and, as for the display window and PNL, Module MDL is assembled [an intermediate frame and BL] for an optical diffusion board and MFR, as for a liquid crystal display panel and SPB

[0084] The whole is fixed by the presser foot stitch tongue CL and Hook FK by which Module MDL was formed in the shielding case SHD.

[0085] Intermediate-frame MFR is formed in the shape of a frame so that opening corresponding to a display window LCW may be prepared, and the irregularity according to the configuration and thickness of the diffusion board SPB, the back light base material BLS, and various passive circuit

elements and opening for thermolysis are prepared in the frame portion.

[0086] The bottom case LCA serves also as the reflector of back light light, and corresponding to the fluorescence pipe BL, the reflective mountain RM is formed so that efficient reflection can be performed.

[0087] The <<display panel PNL and drive circuit board PCB1>> Drawing 17 is the plan showing the state where the video-signal drive circuits helium and Ho and the vertical-scanning circuit V were connected to the display panel PNL shown in drawing 5 etc.

[0088] CHI is a drive IC chip (for three lower pieces, every six of the drive IC chip by the side of a vertical-scanning circuit and right and left are a drive IC chip by the side of a video-signal drive circuit) which makes a display panel PNL drive. The tape career package in which the IC chip CHI for a drive was mounted by the tape-automated-bonding method (TAB) so that TCP might be later mentioned by drawing 18 and drawing 19, and PCB1 are the drive circuit boards in which Above TCP, Capacitor CDS, etc. were mounted, and are divided into three. FGP is a frame grand pad and the fragment FG of the shape of a spring cut deeply and prepared in the shielding case SHD is soldered. FC is a flat cable which connects electrically the lower drive circuit board PCB 1, the left-hand side drive circuit board PCB 1, and the lower drive circuit board PCB 1 and the

right-hand side drive circuit board PCB 1. As shown in drawing as a flat cable FC, what sandwiched and supported two or more lead wire (what gave Sn plating to the material of phosphor bronze) in stripe-like a polyethylene layer and a polyvinyl alcohol layer is used.

[0089] Connection structure>> of <<TCP Drawing 18 is drawing showing the cross-section structure of the tape career package TCP which constitutes the scanning signal drive circuit V and the video-signal drive circuits helium and Ho where the integrated circuit chip CHI was carried in the flexible wiring substrate, and drawing 19 is the important section cross section showing the state where it was connected to the terminal DTM for picture signal circuitries by this example of a liquid crystal display panel.

[0090] In this drawing, TTB(s) are the input terminal and the wiring section of an integrated circuit CHI, and TTM(s) are the output terminal and the wiring section of an integrated circuit CHI, for example, it consists of Cu, and the bonding pad PAD of an integrated circuit CHI is connected to the point (common-name inner lead) of each inside by the so-called face down bonding method. The point (common-name outer lead) of the outside of Terminals TTB and TTM corresponds to the input and output of the semiconductor integrated circuit chip CHI, respectively, and soldering etc.

connects with a CRT/TFT conversion circuit and a power circuit SUP, and it is connected to the liquid crystal display panel PNL by the anisotropy electric conduction film ACF. Package TCP is connected to the panel so that the point may cover the protective coat PSV1 which exposed the end-connection child DTM by the side of Panel PNL, therefore since the external end-connection child DTM (GTM) is covered by at least the protective coat PSV1 or one side of Package TCP, he becomes strong to ****.

[0091] BF1 is a base film which consists of a polyimide etc., and SRS is a solder-resist film for carrying out a mask so that the place where solder is excessive may not be reached in the case of soldering. The crevice between the vertical glass substrates of the outside of the seal pattern SL is protected by the epoxy resin EPX after washing etc., it fills up with silicone resin SIL further between Package TCP and the top substrate SUB 2, and protection is multiplexed.

[0092] <<drive circuit board PCB2>> The drive circuit board PCB 2 of the liquid crystal display section LCD held and contained is carrying out L typeface, as shown in drawing 31, and electronic parts, such as IC, a capacitor, and resistance, are carried in intermediate-frame MFR. The circuit SUP including the power circuit for obtaining the stable voltage source which plurality pressured

partially from one voltage source, and the circuit which changes the information for CRT (cathode-ray tube) from a host (host processor) into the information for TFT liquid crystal displays is carried in this drive circuit board PCB 2. CJ is a connector connection to which the connector which is connected with the exterior, and which is not illustrated is connected. The drive circuit board PCB 2 and the inverter circuit board PCB 3 are electrically connected through the connector hole established in intermediate-frame MFR with the back light cable.

[0093] The flat cable FC which the drive circuit board PCB 1 and the drive circuit board PCB 2 can bend connects electrically. At the time of an assembly, by bending 180 degrees of flat cables FC, the drive circuit board PCB 2 is put on the background of the drive circuit board PCB 1, and fits into the predetermined crevice of intermediate-frame MFR.

[0094]

[Effect of the Invention] The liquid crystal display which can perform a low-battery drive can be offered without dropping contrast, since the level difference section of the hollow OPN of the protective coat PSV1 which serves as a shadow of the direction RUB of rubbing at least is arranged outside opening boundary lines, such as the shading film BM, according to the example of this invention, and the orientation poor

section HAT is hidden by the shading film BM.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a plan for understanding the focus of this invention.

[Drawing 2] It is the important section plan showing 1 pixel and its circumference of the liquid crystal display section of the electrochromatic display of the active matrix method with which this invention is applied.

[Drawing 3] It is the cross section showing 1 pixel in three to 3 cutting plane line of drawing 2 , and its circumference.

[Drawing 4] It is the cross section of the addition capacity Cadd in four to 4 cutting plane line of drawing 2 .

[Drawing 5] It is a plan for explaining the composition of the matrix periphery of a display panel.

[Drawing 6] It is a panel plan for exaggerating the periphery of drawing 5 a little and explaining it still more concretely.

[Drawing 7] It is the expansion plan of the corner of the display panel containing the electrical installation section of a vertical substrate.

[Drawing 8] It is the cross section showing the pixel section of a matrix in the center and showing near a panel angle and near a video-signal terminal

area on both sides.

[Drawing 9] It is the cross section showing a part for the panel marginal part which there does not have no scanning signal terminal in left-hand side, and does not have an external end-connection child in right-hand side.

[Drawing 10] It is drawing of a flat surface and a cross section showing the connection neighborhood of a gate terminal GTM and the gate wiring GL.

[Drawing 11] It is drawing of a flat surface and a cross section showing near the connection of the drain terminal DTM and the video-signal line DL.

[Drawing 12] It is a circuit diagram including the matrix section and the circumference of the electrochromatic display display of an active matrix method.

[Drawing 13] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process A-C by the side of a substrate SUB 1.

[Drawing 14] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process D-F by the side of a substrate SUB 1.

[Drawing 15] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process G-I by the side of a substrate SUB 1.

[Drawing 16] It is the decomposition

perspective diagram of a liquid crystal display module.

[Drawing 17] It is the plan showing the state where the surrounding drive circuit was mounted on a liquid crystal display panel.

[Drawing 18] The integrated circuit chip CHI which constitutes a drive circuit is drawing showing the cross-section structure of the tape career package TCP carried in the flexible wiring substrate.

[Drawing 19] It is the important section cross section showing the state where the tape career package TCP was connected to the terminal DTM for picture signal circuitries of the liquid crystal display panel PNL.

[Drawing 20] It is the plan showing the connection state of the circumference drive circuit board PCB 1 (the upper surface can be seen) and the power circuit circuit board PCB 2 (an inferior surface of tongue can be seen).

[Drawing 21] It is the plan showing other examples of this invention.

[Description of Notations]

OPN -- Pixel section opening of a protective coat PSV1, HAT -- Orientation poor section

SUB [-- Video-signal line] -- A transparent glass substrate, GL -- A scanning signal line, DL

GI -- An insulator layer, GT -- A gate electrode, AS--i type half-conductor layer SD [-- Shading film] -- A source electrode or a drain electrode, PSV -- A protective

coat, BM

LC [-- Transparent pixel electrode] --

Liquid crystal, TFT -- TFT, ITO

g, d [-- Oxide film on anode] -- An electric conduction film, Cadd -- A retention volume element, AOF

AO [-- Drain terminal] -- An anodic oxidation mask, GTM -- A gate terminal, DTM

SHD [-- An optical diffusion board MFR /

-- An intermediate frame, BL / -- A back

light, BLS / -- A back light base material,

LCA / -- A bottom case, RM / -- Back light

light reflex mountain (above subscript

ellipsis),] -- A shielding case, PNL -- A

liquid crystal display panel, SPB

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-265934

(43)公開日 平成6年(1994)9月22日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9119-2K		
1/1335		7408-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 1 O L (全 18 頁)

(21)出願番号 特願平5-50407

(22)出願日 平成5年(1993)3月11日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 鈴木 雅彦

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 伊藤 光

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 亀井 達生

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74)代理人 弁理士 小川 勝男

最終頁に続く

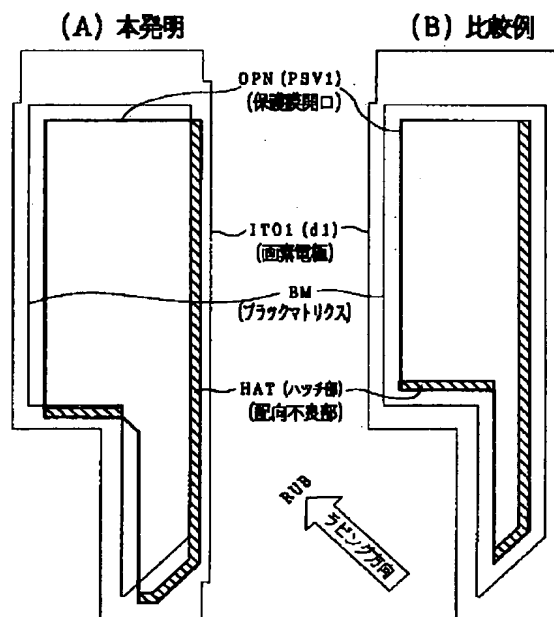
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 コントラストを落すことなく低電圧駆動を達成する。

【構成】 (A) に示すように、少なくともラビング方向 RUB の影となる保護膜 P S V 1 の窪み O P N の段差部を、遮光膜 B M 等の開口部境界線よりも外側に配置し、配向不良部 H A T を遮光膜 B M で隠す。

図 1



【特許請求の範囲】

【請求項1】複数の画素電極と、上記画素電極の各々の縁部を遮光し該縁部の内側に設けられた遮光開口部を有する遮光手段と、上記複数の画素電極を覆いかつ上記各画素電極に対応して設けられた保護膜開口部を有する保護膜と、液晶層と、上記保護膜と上記液晶層との間に設けられた配向膜とを具備して成り、上記保護膜開口部の境界線は上記遮光開口部の境界線よりも外側に位置する部分を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に係り、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置に関する。

【0002】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193～210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0004】通常、アクティブ・マトリクス方式の液晶表示装置ではトランジスタを保護する膜が設けられるが、この保護膜は電圧利用効率の面からは画素電極上には無い方が良く、画素電極毎にドット状に開口を設けることが知られている。

【0005】

【発明が解決しようとする課題】一方、コントラストを上げるため画素電極の縁を遮光する、例えばブラックマトリクス層が設けられることが多いが、図1の（B）に示すように、保護膜の開口部OPNがブラックマトリクス層BMの内側にあると次のような問題が生じることを本発明者等が見出した。つまり、図に示すように配向膜のラビング方向が右下から左上である場合、保護膜PSV1の窪み部OPNの右辺から下辺にかけての段差部がラビングの影となり、ハッチで示す配向不良部HATが有効表示領域内で生じ、コントラスト低下の原因となることが判明した。

【0006】本発明の一つの目的は、コントラストの良い液晶表示装置を提供することである。

【0007】本発明の他の目的は、低電圧駆動できる液晶表示装置を提供することである。

【0008】本発明の他の目的は、開口率の高い液晶表示装置を提供することである。

【0009】

【課題を解決するための手段】図1の（A）に示すように、保護膜PSV1の窪み部OPNの右辺から下辺にかけての段差部をブラックマトリクス層BMの境界線よりも外側にずらす。

10 【0010】

【作用】配向不良部HATがブラックマトリクス層BMで遮光されるのでコントラスト低下などの表示品質を落さず、電圧利用効率を向上することができる。

【0011】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0012】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0013】《マトリクス部の概要》図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図3は図2の3-3切断線における断面を示す図、図4は図2の4-4切断線における断面図である。

【0014】図2に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0015】図3に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SiO₂が設けられている。

【0016】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0017】《マトリクス周辺の概要》図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図6はその周辺部を更に誇張した平面を、図7は図5及び図6のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図8は図3の断面を中央にして、左側に図7の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図9は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0018】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5～図7は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を、図7は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図18、図19）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0019】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0020】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB

1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0021】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0022】《薄膜トランジスタTFT》次に、図2、図3に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0023】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0024】各画素には複数（2つ）の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成され、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーパされていない）非晶質シリコン（Si）からなるi型半導体層AS、一對のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0025】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通のゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム（Al）膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0026】このゲート電極GTはi型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成され、i型半導体層ASに外光やバックライト光が当た

10

20

30

40

50

らないよう工夫されている。

【0027】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0028】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに（本実施例では、2000Å程度）形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0029】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに（本実施例では、2000Å程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0030】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0031】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0032】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

【0033】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれ

は、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0034】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに（本実施例では、600Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のA1がN(+)型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（MoSi₂、TiSi₂、TaSi₂、WSi₂）膜を用いてもよい。

【0035】第3導電膜d3はA1のスパッタリングで3000~5000Åの厚さに（本実施例では、4000Å程度）形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【0036】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0037】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0038】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0039】保護膜PSV1は図2に示すようにマトリクス全体に亘って、しかし、画素毎に開口OPNをもつように形成される。保護膜PSV1とブラックマトリクス層BMとの位置関係は図1の(A)と同様であるが、付加容量Caddを形成するための走査線GLのふくら

み部が遮光の働きをしているので、その分（ふくらみ部を基準にして）開口部OPNの上辺の境界線を下げている点が図1の例と異なる。

【0040】図21は遮光膜BMと保護膜PSV1の位置関係を変更した本発明の他の実施例を示す平面図であり、図2の実施例と異なる点は、保護膜PSV1の開口OPNの境界線が全て遮光膜BMの開口部境界線の外側に配置されている点である。図2の実施例では保護膜PSV1の開口OPNの大きさを必要最低限にしているので、他の層との合わせ余裕の点から開口率の点で有利であり、図21の実施例では下基板SUB1と上基板SUB2との合わせ余裕が緩やかというメリットがある。

【0041】保護膜PSV1は図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を薄くされる。従って図7に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0042】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高い例えばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0043】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0044】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0045】遮光膜BMは図6に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開

口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図6～図9に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0046】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0047】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0048】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0049】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧 V_{com} が印加されるように構成されている。本実施例では、コモン電圧 V_{com} は映像信号線DLに印加される最小レベルの駆動電圧 V_{dmin} と最大レベルの駆動電圧 V_{dmax} との中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図6、図7を参照されたい。

【0050】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トラン

ジスタTFTのゲート絶縁膜として使用される絶縁膜G Iおよび陽極酸化膜AOFで構成されている。

【0051】保持容量素子Caddは走査信号線G Lの第2導電膜g 2の幅を広げた部分に形成されている。なお、映像信号線D Lと交差する部分の第2導電膜g 2は映像信号線D Lとの短絡の確率を小さくするため細くされている。

【0052】保持容量素子Caddの電極P L 1の段差部において透明画素電極I T O 1が断線しても、その段差をまたがるように形成された第2導電膜d 2および第3導電膜d 3で構成された島領域によってその不良は補償される。

【0053】《ゲート端子部》図10は表示マトリクスの走査信号線G Lからその外部接続端子G T Mまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0054】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線G Lには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたA L層g 2は表面にその酸化物A l₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線G Lに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0055】図中A L層g 2は、判り易くするためハッチを施してあるが、陽極化されない領域は櫛状にパターンニングされている。これは、A l層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0056】ゲート端子G T Mは酸化珪素S i O層と接着性が良くA l等よりも耐電蝕性の高いC r層g 1と、更にその表面を保護し画素電極I T O 1と同レベル(同層、同時形成)の透明導電層d 1とで構成されている。なお、ゲート絶縁膜G I上及びその側面部に形成された導電層d 2及びd 3は、導電層d 3やd 2のエッチング時ピンホール等が原因で導電層g 2やg 1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜

G Iを乗り越えて右方向に延長されたI T O層d 1は同様な対策を更に万全とさせたものである。

【0057】平面図において、ゲート絶縁膜G Iはその境界線よりも右側に、保護膜P S V 1もその境界線よりも右側に形成されており、左端に位置する端子部G T Mはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線G Lとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられ端子群T g(図6、図7)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域C T 1を越えて延長され配線S H gによって短絡される。製造過程におけるこのような短絡線S H gは陽極化成時の給電と、配向膜O R I 1のラビング時等の静電破壊防止に役立つ。

【0058】《ドレイン端子D T M》図11は映像信号線D Lからその外部接続端子D T Mまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図7右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板S U B 1の上端部(又は下端部)に該当する。

【0059】T S T dは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。同様に、ドレイン端子D T Mも外部回路との接続ができるよう配線部より幅が広がられている。検査端子T S T dと外部接続ドレイン端子D T Mは上下方向に千鳥状に複数交互に配列され、検査端子T S T dは図に示すとおり基板S U B 1の端部に到達することなく終端しているが、ドレイン端子D T Mは、図7に示すように端子群T d(添字省略)を構成し基板S U B 1の切断線C T 1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線S H dによって短絡される。検査端子T S T dが存在する映像信号線D Lのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子D T Mが存在する映像信号線D Lのマトリクスを挟んで反対側には検査端子が接続される。

【0060】ドレイン接続端子D T Mは前述したゲート端子G T Mと同様な理由でC r層g 1及びI T O層d 1の2層で形成されており、ゲート絶縁膜G Iを除去した部分で映像信号線D Lと接続されている。ゲート絶縁膜G Iの端部上に形成された半導体層A Sはゲート絶縁膜G Iの縁をテーパ状にエッチングするためのものである。端子D T M上では外部回路との接続を行うため保護膜P S V 1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g 2が存在しないのでこのパターンは直接は関係しない。

【0061】マトリクス部からドレイン端子部D T Mま

での引出配線は図8の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0062】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0063】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0064】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0065】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0066】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0067】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 ΔV_g の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0068】

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、 C_{pix} は透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される容量、 ΔV_{lc} は ΔV_g による画素電極電位の変化分を表わす。この変化分 ΔV_{lc} は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0069】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面

積が増え、従って寄生容量 C_{gs} が大きくなり、中点電位Vlcはゲート(走査)信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0070】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4~8倍($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$)、寄生容量 C_{gs} に対して8~32倍($8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$)程度の値に設定する。

【0071】保持容量電極線としてのみ使用される初段の走査信号線GL(Y_0)は共通透明画素電極ITO2(V_{com})と同じ電位にする。図7の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線 Y_0 は最終段の走査信号線Yendに接続、 V_{com} 以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルス Y_0 を受けように接続してもよい。

【0072】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図13~図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0073】工程A、図13

7059ガラス(商品名)からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド(図示せず)を形成する。

【0074】工程B、図13

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエ

10

20

30

40

50

ッシングする。

【0075】工程C、図13

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0076】工程D、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0077】工程E、図14

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0078】工程F、図14

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0079】工程G、図15

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0080】工程H、図15

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0081】工程I、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0082】《液晶表示モジュールの全体構成》図16は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0083】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0084】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。

【0085】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0086】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

【0087】《表示パネルPNLと駆動回路基板PCB1》図17は、図5等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0088】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図18、図19で後述するように駆動用ICチップCHIがテープ・オートメイト・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0089】《TCPの接続構造》図18は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集

積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0090】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウトリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM（GTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0091】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間隙は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0092】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図31に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバート回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電氣的に接続される。

【0093】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることで、駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0094】

【発明の効果】本発明の実施例によれば、少なくともラ

ビング方向RUBの影となる保護膜PSV1の窪みOPNの段差部を、遮光膜BM等の開口部境界線よりも外側に配置しているので、配向不良部HATが遮光膜BMで隠されるので、コントラストを落すことなく低電圧駆動ができる液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の特徴点を理解するための平面図である。

【図2】この発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一面素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺を示す断面図である。

【図4】図2の4-4切断線における付加容量Caddの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図7】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図8】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図12】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図13】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】液晶表示モジュールの分解斜視図である。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図19】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

17

【図20】周辺駆動回路基板PCB1（上面が見える）と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【図21】本発明の他の実施例を示す平面図である。

【符号の説明】

OPN…保護膜PSV1の画素部開口、HAT…配向不良部

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i型半導体層

SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

18

LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

SHD…シールドケース、PNL…液晶表示パネル、S

PB…光拡散板、MFR…中間フレーム、BL…バック

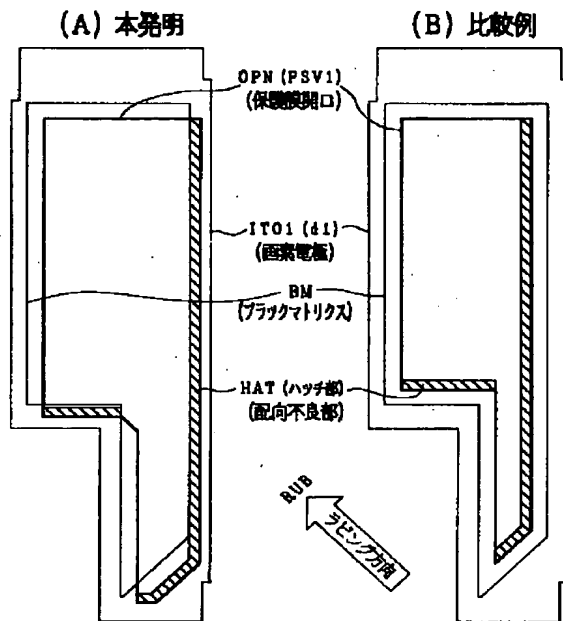
ライト、BLS…バックライト支持体、LCA…下側ケ

ース、RM…バックライト光反射山、（以上添字省

略）。

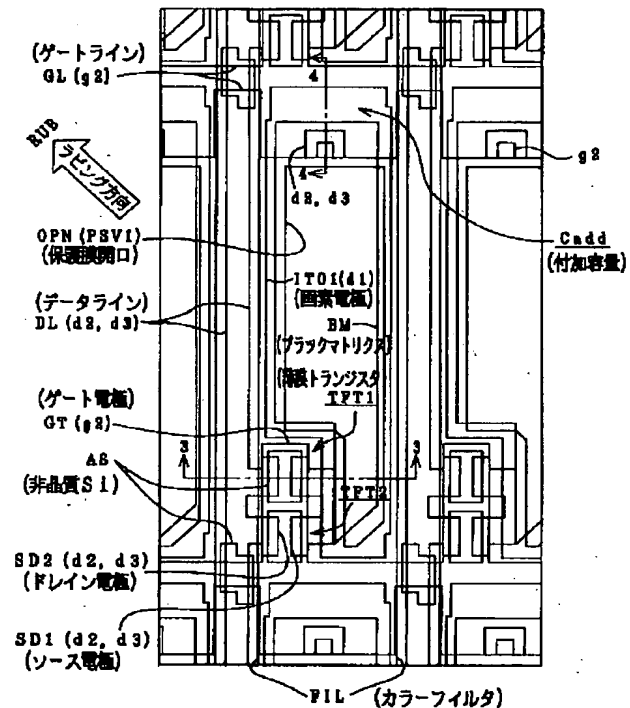
【図1】

図1



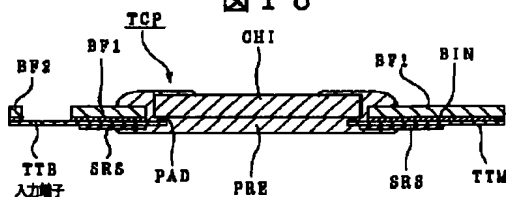
【図2】

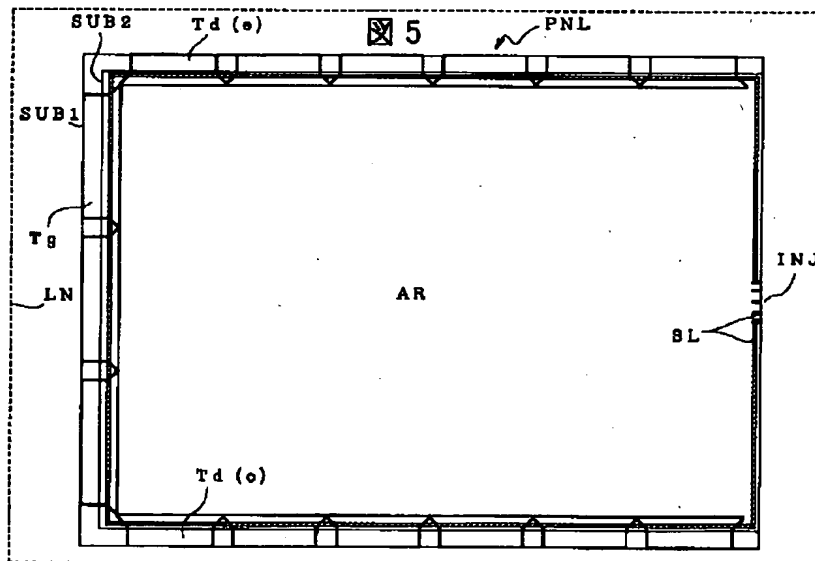
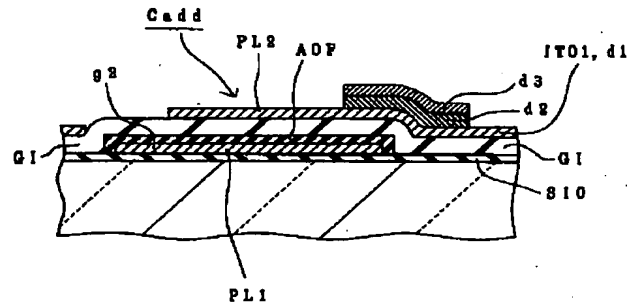
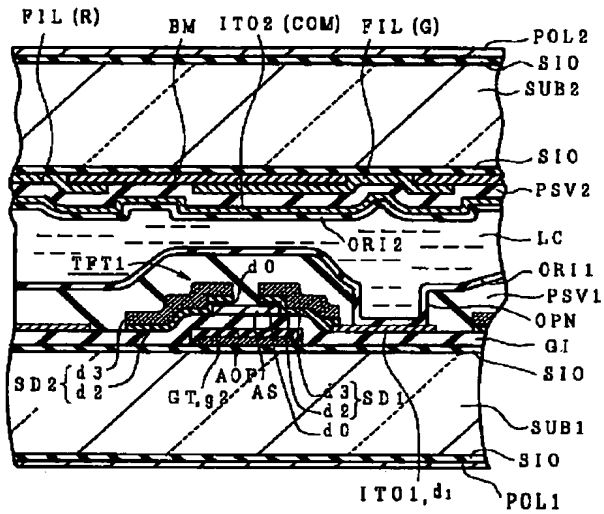
図2



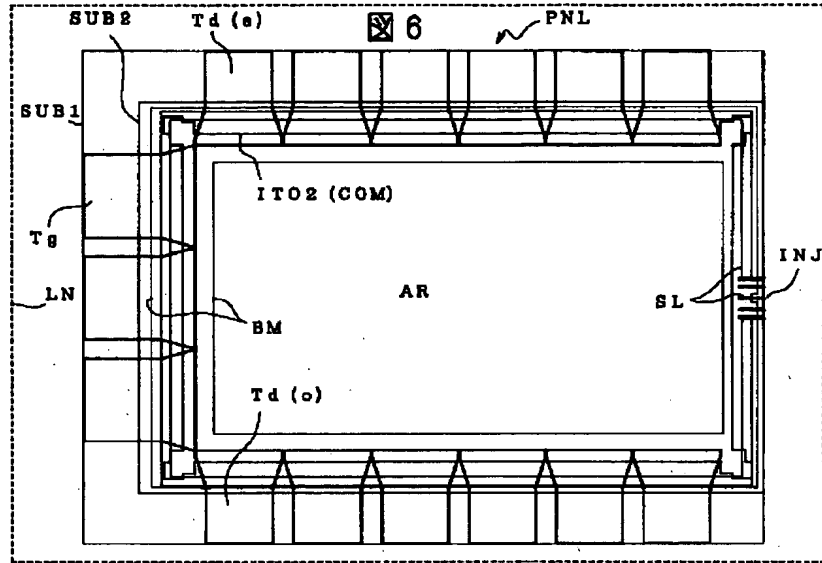
【図18】

図18

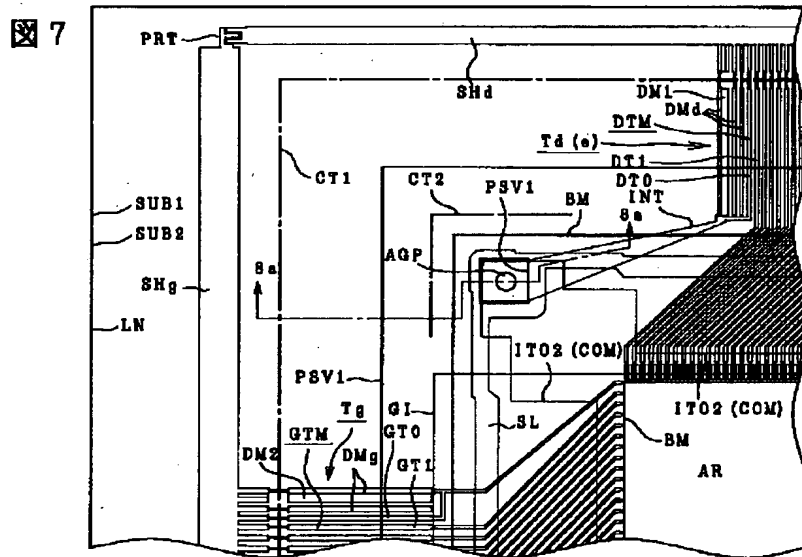




【図6】

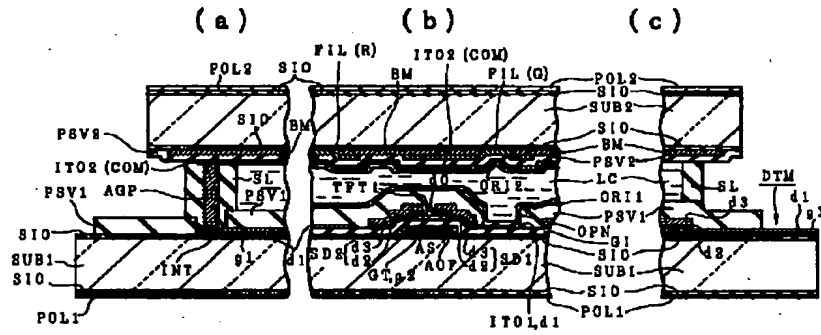


【図7】



【図8】

図8



【図9】

図9

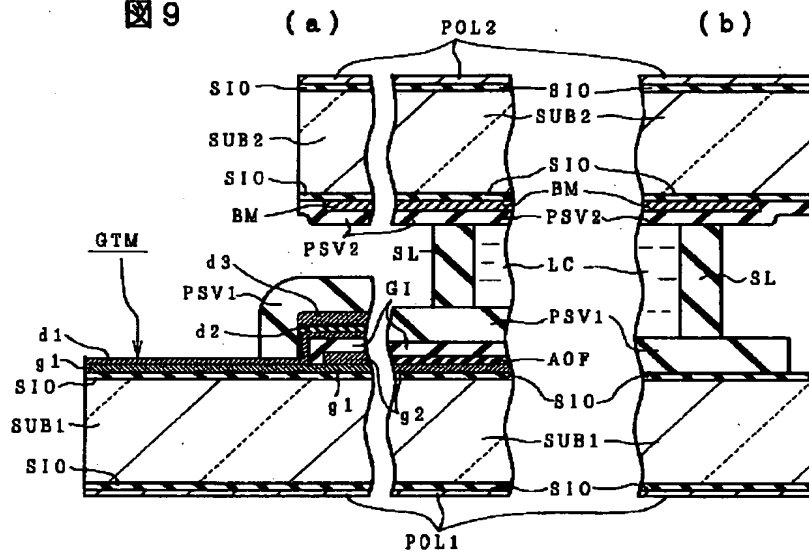
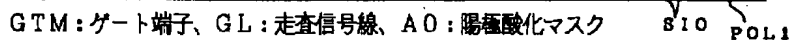
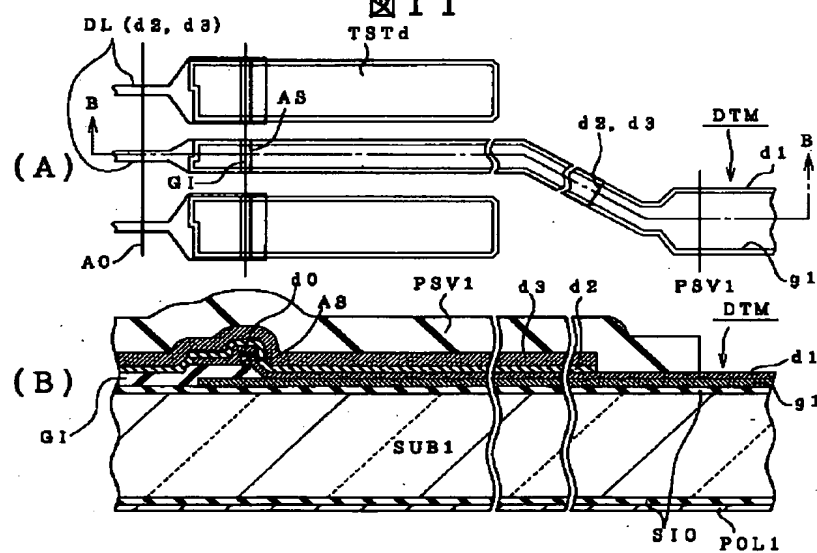


图 10

(A)

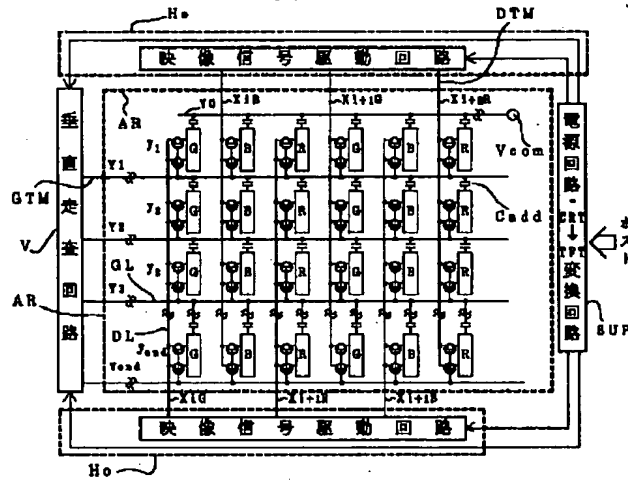


1 1



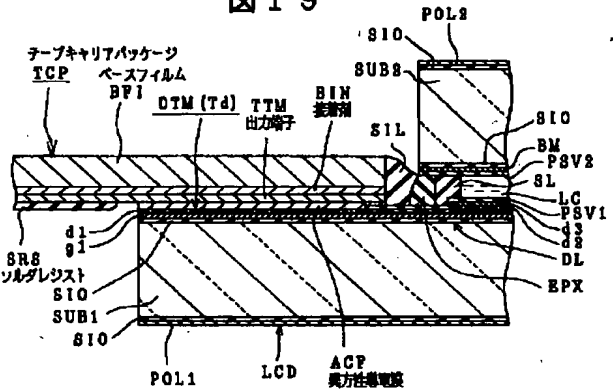
【図12】

図12



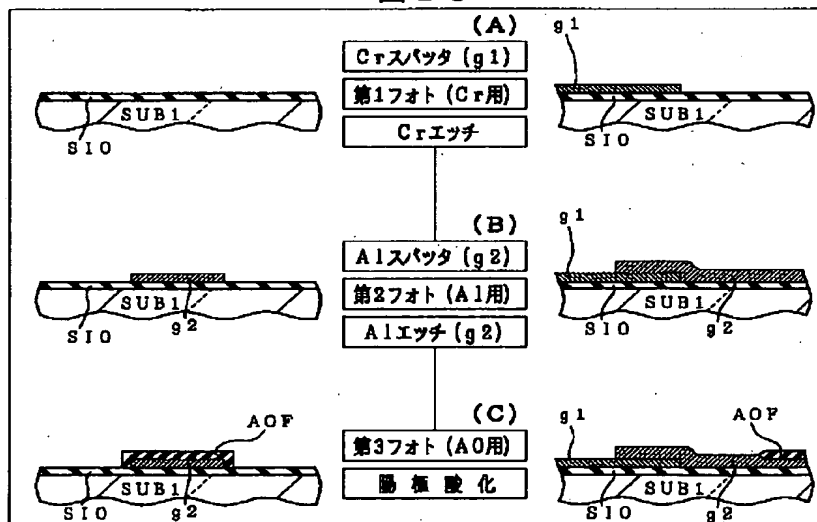
【図19】

図19



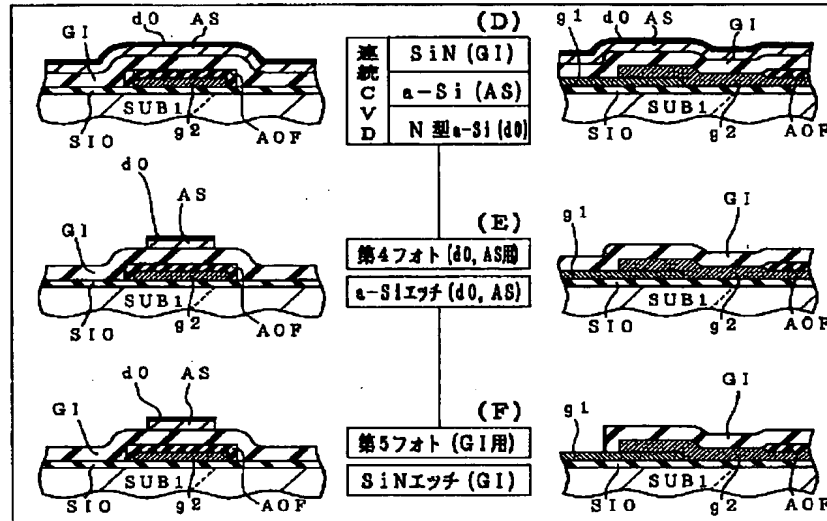
【図13】

図13



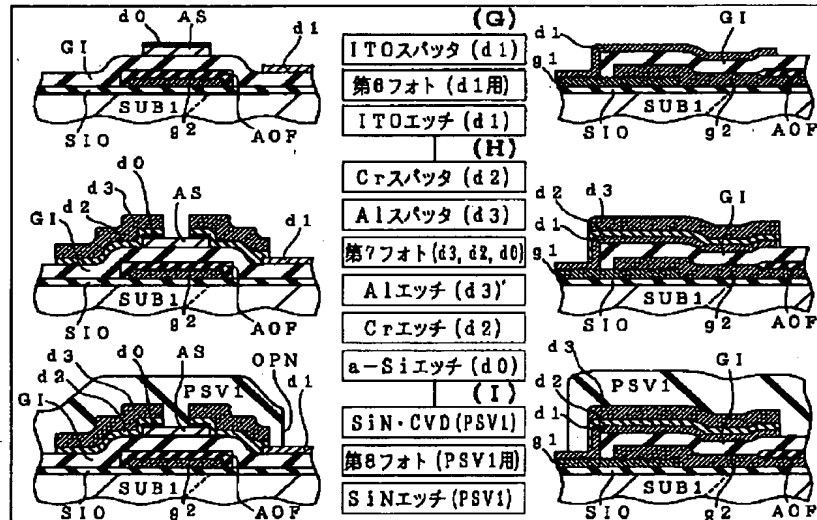
【図14】

図14

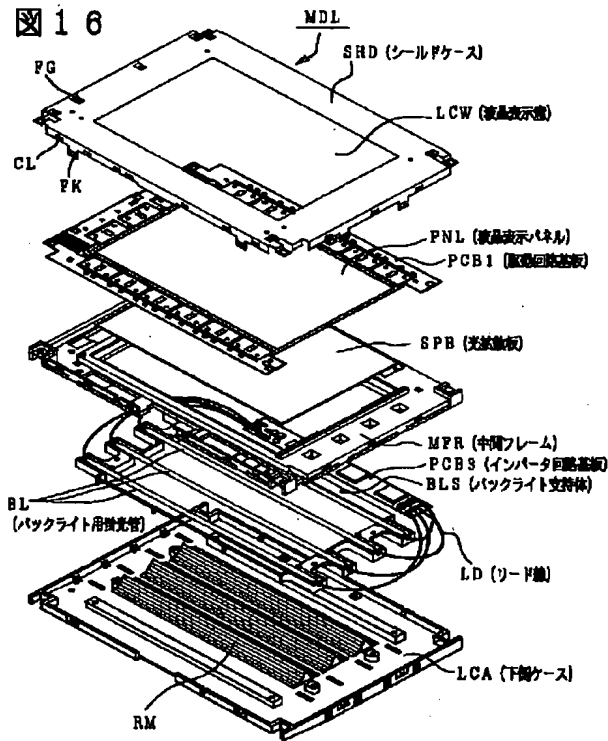


【図15】

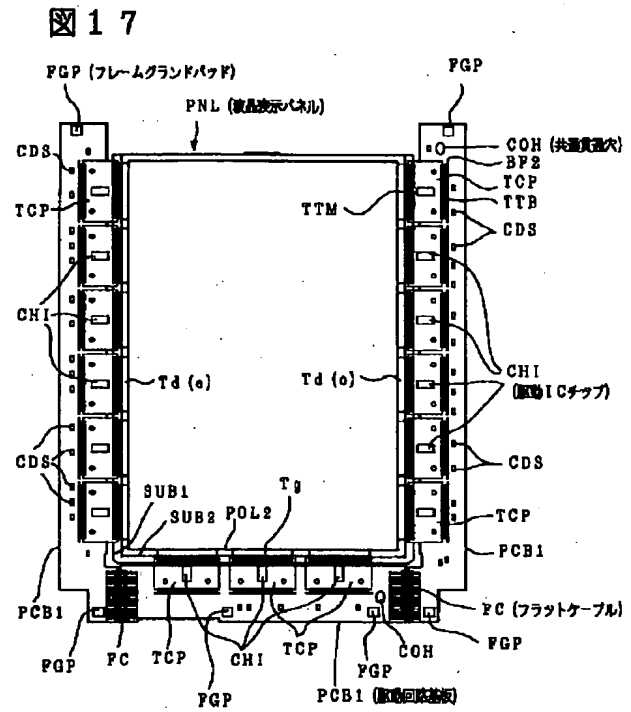
図15



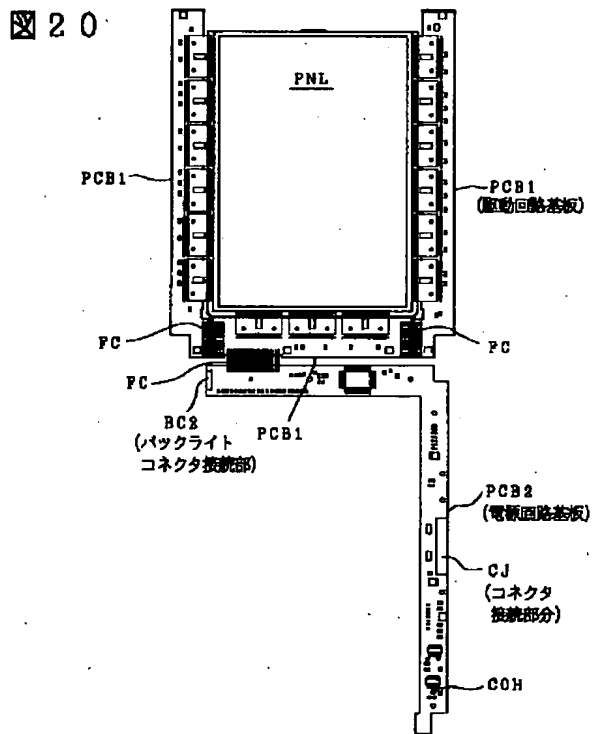
【図16】



【図17】

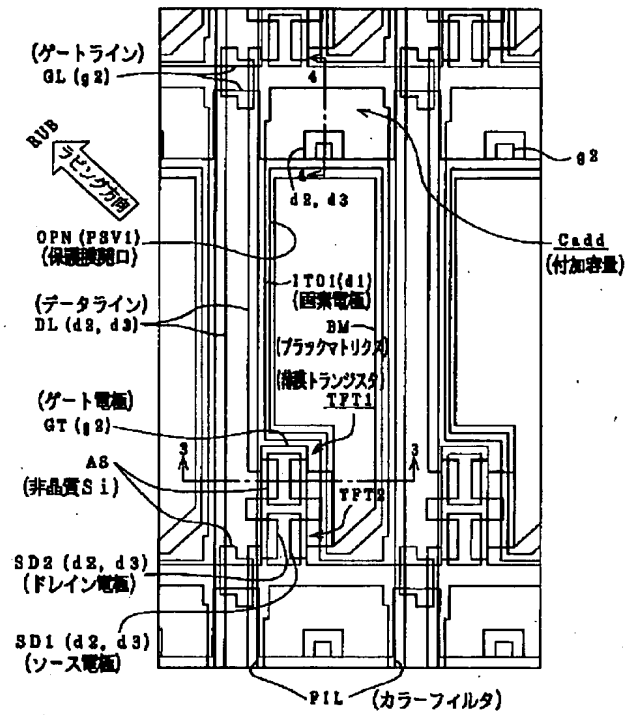


【図20】



【図21】

図21



フロントページの続き

(72)発明者 岩本 健一
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 古家 政光
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内